

DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

04260717 **Image available**
VIDEO SIGNAL PROCESSOR

PUB. NO.: 05-252417 [J P 5252417 A]
PUBLISHED: September 28, 1993 (19930928)
INVENTOR(s): IWAZAWA TAKAHIRO
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
 or Corporation), JP (Japan)
APPL. NO.: 04-049216 [JP 9249216]
FILED: March 06, 1992 (19920306)
INTL CLASS: [5] H04N-005/14
JAPIO CLASS: 44.6 (COMMUNICATION -- Television)
JOURNAL: Section: E, Section No. 1488, Vol. 18, No. 17, Pg. 14,
 January 12, 1994 (19940112)

ABSTRACT

PURPOSE: To realize low power consumption without deteriorating the signal processing capability.

CONSTITUTION: A clock having a high frequency from a first oscillating circuit 103, and a clock having a lower frequency than that of the first oscillating circuit 103 from a second oscillating circuit 104 are supplied to a switch 102. The switch 102 is changed over by a blanking signal supplied to an input terminal 108 and in a blanking period and in an effective video period, the clock having a high frequency and the clock having a low frequency are supplied to a video signal processing circuit 101, respectively. Also, by the blanking signal, when one of the oscillating circuits is operating, the oscillating operation of the other is stopped and an unnecessary radiation is reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-252417

(43) 公開日 平成5年(1993)9月28日

(51) Int.Cl.⁵

H 0 4 N 5/14

識別記号

庁内整理番号

F I

技術表示箇所

Z

審査請求 未請求 請求項の数2(全 4 頁)

(21) 出願番号 特願平4-49216

(22) 出願日 平成4年(1992)3月6日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 岩澤 高広

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

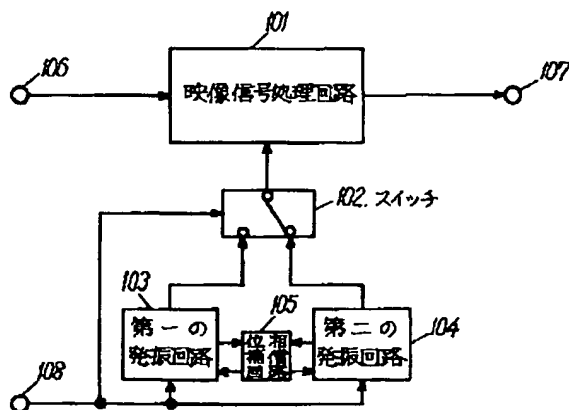
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【目的】 信号処理能力を低下させることなく、低消費電力化を実現する。

【構成】 第一の発振回路103からの高い周波数のクロックと、第二の発振回路104からの第一の発振回路103よりも低い周波数のクロックとをスイッチ102に供給し、このスイッチ102を入力端子108に供給されるブランキング信号で切り替え、ブランキング期間には高い周波数のクロックを、有効映像期間には低い周波数のクロックを、それぞれ映像信号処理回路101へ供給する。またブランキング信号によって、発振回路の一方が動作しているときは、他方の発振動作を停止させ、不要輻射を低減する。



【特許請求の範囲】

【請求項1】 デジタル映像信号を入出力する映像信号処理回路と、前記デジタル映像信号のブランキング期間のみ動作する第一の発振回路と、前記デジタル映像信号の有効映像期間内のみ動作し、前記第一の発振回路よりも低い周波数のクロックを発振する第二の発振回路と、前記デジタル映像信号のブランキング期間と有効映像期間に応じて前記第一の発振回路から出力されるクロックと前記第二の発振回路から出力されるクロックとを切り換え、前記映像信号処理回路に供給するスイッチとを備えた映像信号処理装置。

【請求項2】 第一の発振回路と第二の発振回路のうちのいずれか一方が動作中、他方の発振回路の発振動作を停止させる手段を備えた請求項1記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル信号を用いた映像信号処理装置に関するものである。

【0002】

【従来の技術】 近年、映像信号は、高速タイプのアナログーデジタル変換器（以下A-Dコンバータと称す）の出現により、デジタル化された状態で処理されることが多い。

【0003】 以下、従来の映像信号処理装置について図面を参照しながら説明する。図2は従来の映像信号処理装置を示す構成図である。図2において、201はデジタル映像信号に処理を加えるデジタル映像信号処理回路である。202はデジタル映像信号処理回路201を動作させるためのクロックを発振させる発振回路である。203はデジタル映像信号の入力端子である。204は信号処理後のデジタル映像信号の出力端子である。

【0004】 以上のように構成された従来の映像信号処理装置について、以下その動作を説明する。

【0005】 まず、デジタル化（以下A-D変換と称す）された映像信号を、入力端子203からデジタル映像信号処理回路201に入力する。デジタル映像信号処理回路201は発振回路202から出力されるクロックによって動作する。そして所望の映像信号処理を行ない、処理した後のデジタル映像信号を出力端子204に出力する。

【0006】

【発明が解決しようとする課題】 しかしながら上記従来の構成では、発振回路202から出力される単一周波数のクロックで信号処理を行なうため、信号処理能力を向上させるためにはメインクロックの周波数を高くしなければならない。しかしメインクロックの周波数を高くすると、映像信号処理装置全体の消費電力の増加、不要輻射の増加という問題をひき起こす。

【0007】 本発明は上記従来の課題を解決するもので、有効映像期間に関係のないブランキング期間に映像信号処理回路に与えるクロック周波数を高くし、有効映像期間では比較的低い周波数のクロックを用いることによって、低電力、不要輻射の低減を実現する映像信号処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記課題を解決するために本発明に係る映像信号処理装置は、以下のような構成を有している。すなわちデジタル映像信号を入出力する映像信号処理回路と、前記映像信号処理回路に供給するクロックを発振し、ブランキング期間のみ動作する第一の発振回路と、前記第一の発振回路よりも低い周波数のクロックを発振し、有効映像期間内のみ動作する第二の発振回路と、前記第一の発振回路と第二の発振回路より出力されるクロックを切り換えるスイッチとを備え、また一方の発振回路が動作している場合は、もう一方の発振回路は停止させておくという構成を有している。

【0009】

【作用】 上記構成によって、スイッチにより映像信号処理回路に供給するクロックの周波数を切り換えることができ、メインクロックの周波数を高くすることなく、ブランキング内の信号処理能力を向上させることができる。すなわち低電力化、不要輻射の低減、また映像信号のノイズの影響を少なくして映像信号処理能力を向上させることができる。

【0010】

【実施例】 以下、本発明の一実施例について図面を参照しながら説明する。

【0011】 図1は本発明の一実施例における映像信号処理装置を示す構成図である。図1において、101は映像信号処理回路である。102はブランキング信号によって発振回路を切り換えるスイッチである。103は高い周波数のクロックを発振する第一の発振回路である。104は前記第一の発振回路103よりも低い周波数のクロックを発振する第二の発振回路である。105は第一の発振回路103と第二の発振回路104で発振されたクロックの位相合わせをする位相補償回路である。106はデジタル映像信号の入力端子である。107はデジタル映像信号の出力端子である。108はブランキング信号の入力端子である。

【0012】 以上のように構成された映像信号処理装置について、以下その動作を説明する。

【0013】 まずA-D変換されたデジタル映像信号を入力端子106より映像信号処理回路101に入力する。映像信号が有効映像期間内にあるときは、入力端子108より入力されるブランキング信号によって、スイッチ102が切り換わり、第一の発振回路103よりも低い周波数のクロックを発振する第二の発振回路104からのクロックを映像信号処理回路101に供給する。

3

この場合、ブランキング信号によって、第一の発振回路103を停止させておく。

【0014】次に映像信号がブランキング期間にあるときは、映像信号処理回路101の信号処理能力を向上させるために、入力端子108より入力されるブランキング信号によってスイッチ102を切り替え、高い周波数のクロックを発振する第一の発振回路103からのクロックを映像信号処理回路101に供給する。この場合にも、ブランキング信号によって、第二の発振回路104を停止させておく。

【0015】なお、第一の発振回路103の高い周波数のクロックと、第二の発振回路104の低い周波数のクロックとの位相は、位相補償回路105によって補償され、切り替え時に位相ずれが起らないように制御される。

【0016】

【発明の効果】以上のように本発明は、映像信号の有効映像期間とブランキング期間で映像信号処理回路に与えるクロックの周波数を切り換えるようにしているから、ブランキング期間内での信号処理能力を犠牲にすることなく、低消費電力化を図ることができる。また、一

4

方の発振回路が動作している時、他方の発振回路の動作を停止させるようにしているから、不要輻射を低減し、映像信号に対するノイズの影響を少なくすることもできる。

【図面の簡単な説明】

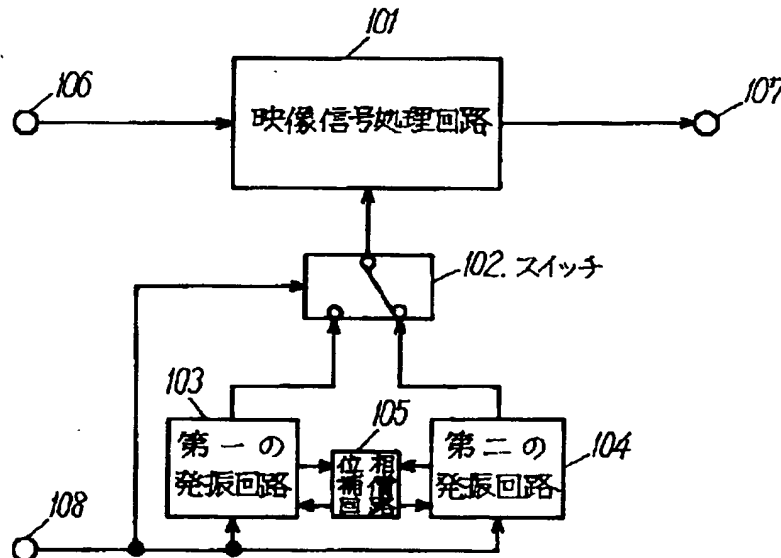
【図1】本発明の一実施例における映像信号処理装置を示すブロック図

【図2】従来の映像信号処理装置を示すブロック図

【符号の説明】

- | | | |
|----|-----|---------------|
| 10 | 101 | 映像信号処理回路 |
| | 102 | スイッチ |
| | 103 | 第一の発振回路 |
| | 104 | 第二の発振回路 |
| | 105 | 位相補償回路 |
| | 106 | 映像信号の入力端子 |
| | 107 | 映像信号の出力端子 |
| | 108 | ブランキング信号の入力端子 |
| 20 | 201 | 映像信号処理回路 |
| | 202 | 発振回路 |
| | 203 | 映像信号の入力端子 |
| | 204 | 映像信号の出力端子 |

【図1】



【図2】

